

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
NAKAMINE et al.)
)
Application Number: To be Assigned)
)
Filed: Concurrently Herewith)
)
For: SEMICONDUCTOR DEVICE MANUFACTURING)
METHOD AND FILM FORMING METHOD)
)
ATTORNEY DOCKET NO. TSUT.0030)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

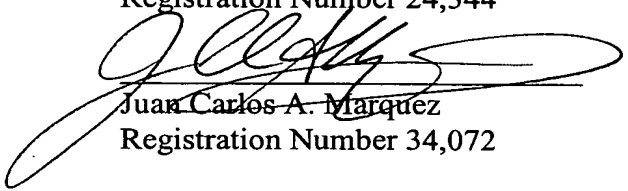
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of April 25, 2003, the filing date of the corresponding Japanese patent application 2003-120855.

A certified copy of Japanese patent application 2003-120855, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
April 22, 2004



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 0 8 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 0 8 5 5]

出 願 人 トレセンティテクノロジーズ株式会社
Applicant(s):

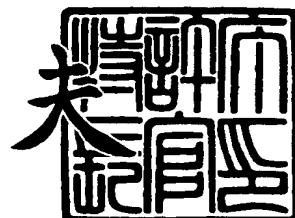
～



2 0 0 4 年 3 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 4 - 3 0 1 6 7 9 9

【書類名】	特許願
【整理番号】	H03003531
【提出日】	平成15年 4月25日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/365
【発明者】	
【住所又は居所】	茨城県ひたちなか市堀口7-5-1番地 トレセンティテクノロジーズ株式会社内
【氏名】	仲嶺 智靖
【発明者】	
【住所又は居所】	茨城県ひたちなか市堀口7-5-1番地 トレセンティテクノロジーズ株式会社内
【氏名】	山口 賢一
【発明者】	
【住所又は居所】	東京都青梅市藤橋三丁目3番地2 株式会社ルネサス東日本セミコンダクタ内
【氏名】	佐藤 賢市
【特許出願人】	
【識別番号】	500495256
【氏名又は名称】	トレセンティテクノロジーズ株式会社
【代理人】	
【識別番号】	100080001
【弁理士】	
【氏名又は名称】	筒井 大和
【電話番号】	03-3366-0787
【手数料の表示】	
【予納台帳番号】	006909
【納付金額】	21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および成膜方法

【特許請求の範囲】

【請求項 1】 半導体基板に対して成膜処理を行う成膜処理室を有し第 1 の温度で前記成膜処理を行う成膜装置を用い、前記半導体基板上に第 1 の薄膜を形成する工程を含む半導体装置の製造方法であって、

所定枚数の前記半導体基板上に前記第 1 の薄膜を形成後、

(a) 前記成膜処理室内を前記第 1 の温度より低い第 2 の温度に下げる工程と、

(b) 前記 (a) 工程後、ハロゲン系ガスを含むガスからプラズマを形成し、前記プラズマによって前記成膜処理室内に付着した付着物を除去する工程と、

(c) 前記 (b) 工程後、前記成膜処理室内を前記第 1 の温度に昇温する工程とを含む工程で前記成膜処理室内のクリーニングを行い、

前記成膜装置は、前記成膜処理室内にハロゲン系元素と反応して副生成物を生成してしまう第 1 の部材を有し、

前記 (b) 工程において前記付着物を除去した後に同じ温度で、または前記 (c) 工程において前記成膜処理室内が前記第 1 の温度となる以前に、前記成膜処理室内の内壁および前記成膜処理室内に設けられた部材の表面に第 2 の薄膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記第 1 の部材は金属元素またはシリコンを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記第 1 の温度は 600℃以上であり、前記第 2 の温度は前記ハロゲン系元素と前記第 1 の部材とが反応しない温度であることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、前記第 2 の温度は 500℃以下であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、前記第 1 の薄膜および前記第 2 の薄膜はシリコンを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、前記第 2 の

薄膜は前記第 1 の薄膜と同種の薄膜を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 記載の半導体装置の製造方法において、前記成膜装置は化学的成膜方法によって成膜処理を行うことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 記載の半導体装置の製造方法において、前記半導体基板は 300 mm 以上の径を有することを特徴とする半導体装置の製造方法。

【請求項 9】 基板に対して成膜処理を行う成膜処理室を有し第 1 の温度で前記成膜処理を行う成膜装置を用い、前記基板上に第 1 の薄膜を形成する成膜方法であって、

所定枚数の前記基板上に前記第 1 の薄膜を形成後、

- (a) 前記成膜処理室内を前記第 1 の温度より低い第 2 の温度に下げる工程と、
- (b) 前記 (a) 工程後、ハロゲン系ガスを含むガスからプラズマを形成し、前記プラズマによって前記成膜処理室内に付着した付着物を除去する工程と、
- (c) 前記 (b) 工程後、前記成膜処理室内を前記第 1 の温度に昇温する工程とを含む工程で前記成膜処理室内のクリーニングを行い、

前記成膜装置は、前記成膜処理室内にハロゲン系元素と反応して副生成物を生成してしまう第 1 の部材を有し、

前記 (b) 工程において前記付着物を除去した後に同じ温度で、または前記 (c) 工程において前記成膜処理室内が前記第 1 の温度となる以前に、前記成膜処理室の内壁および前記成膜処理室内に設けられた部材の表面に第 2 の薄膜を形成する工程を含むことを特徴とする成膜方法。

【請求項 10】 請求項 9 記載の成膜方法において、前記第 1 の部材は金属元素またはシリコンを含むことを特徴とする成膜方法。

【請求項 11】 請求項 9 記載の成膜方法において、前記第 1 の温度は 600℃以上であり、前記第 2 の温度は前記ハロゲン系元素と前記第 1 の部材とが反応しない温度であることを特徴とする成膜方法。

【請求項 12】 請求項 11 記載の成膜方法において、前記第 2 の温度は 500℃以下であることを特徴とする成膜方法。

【請求項 13】 請求項 9 記載の成膜方法において、前記成膜装置は化学的成膜方法によって成膜処理を行うことを特徴とする成膜方法。

【請求項 14】 請求項 9 記載の成膜方法において、前記基板は 300 mm 以上の径を有することを特徴とする成膜方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術および成膜技術に関し、特に、CVD (Chemical Vapor Deposition) 成膜装置を用いた薄膜成膜工程に適用して有効な技術に関するものである。

【0002】

【従来の技術】

たとえば、CVD 成膜装置において、成膜処理を施すチャンバー内を ClF_3 ガスでクリーニングした後、そのチャンバー内に Ar (アルゴン) ガスと還元ガスとを含むプラズマを形成して、このプラズマによりチャンバー内壁および／またはチャンバー内部材の表面に付着した AlF (フッ化アルミニウム) 系物質からなる付着物を除去することにより、チャンバー内部のプリコート処理時における膜剥がれを防ぐ技術がある (たとえば、特許文献 1 参照)。

【0003】

【特許文献 1】

特開 2002-167673 号公報

【0004】

【発明が解決しようとする課題】

本発明者らは、CVD 成膜装置を用いた半導体ウエハ (以下、単にウエハと記す) への薄膜の成膜技術について検討しており、その中で以下のような課題を見出した。

【0005】

すなわち、CVD 成膜装置を用いてウエハに対して薄膜を成膜した後においては、ウエハ上のみばかりでなく CVD 成膜装置の炉体 (チャンバー) の内壁およ

び炉体内部の部材の表面にもその薄膜は成膜されてしまう。そのため、所定枚数のウエハに対して薄膜の成膜処理を行った後は、その炉体の内壁および炉体内部の部材に付着した薄膜を除去するために、たとえばハロゲン系ガスを用いたガスクリーニングを行う。このガスクリーニングは、ハロゲン系ガスのプラズマを形成して、このプラズマにより炉体の内壁および炉体内部の部材に付着した薄膜を除去するものである。また、薄膜の成膜時における炉体内の成膜実施温度が約 600℃ 以上の高温の場合には、ガスクリーニングは炉体内の温度を、ハロゲン系ガスの分解によって形成されたハロゲン系元素のラジカルまたはイオンと炉体内部の部材とが化学反応を起こさない温度、たとえば約 500℃ 以下にまで下げてから実施する。そして、ガスクリーニング終了後、再び炉体内温度を約 600℃ 以上に昇温してからウエハへの成膜処理を開始する。

【0006】

ここで、上記ハロゲン系ガスの分解によって形成されたハロゲン系元素のラジカルまたはイオンは、ガスクリーニング後においても炉体内に残留している。そのため、ガスクリーニング終了後の炉体内の昇温時において、炉体内に配置された部材（たとえばウエハが載置されるヒーター）とハロゲン系元素のラジカルまたはイオンとの化学反応が加温によって進み、その化学反応によって副生成物が生成され、この副生成物が炉体の内壁および炉体内部の部材に付着してしまうことを本発明者らは見出した。この副生成物が炉体の内壁および炉体内部の部材に付着した状況下では、たとえば炉体内に配置されたヒーターの温度低下といった CVD 成膜装置の故障、ウエハ面内において成膜された薄膜の膜厚のばらつきの発生、およびその副生成物が異物となって炉体内に飛散しウエハに付着することによる薄膜の膜質の低下といった不具合の発生が懸念される。そのため、CVD 成膜装置の安定した稼動および製造される半導体装置の品質を維持できなくなってしまう課題が存在する。

【0007】

本発明の目的は、CVD 成膜装置の炉体内部のガスクリーニング後において、炉体内における副生成物の発生を防ぐことのできる技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

すなわち、本発明は、半導体基板または他の基板に対して成膜処理を行う成膜処理室を有し第1の温度で前記成膜処理を行う成膜装置を用い、前記半導体基板または前記他の基板上に第1の薄膜を形成する工程を含むものであり、

所定枚数の前記半導体基板または前記他の基板上に前記第1の薄膜を形成後、
(a) 前記成膜処理室内を前記第1の温度より低い第2の温度に下げる工程と、
(b) 前記(a)工程後、ハロゲン系ガスを含むガスからプラズマを形成し、前記プラズマによって前記成膜処理室内に付着した付着物を除去する工程と、
(c) 前記(b)工程後、前記成膜処理室内を前記第1の温度に昇温する工程とを含む工程で前記成膜処理室内のクリーニングを行い、

前記成膜装置は、前記成膜処理室内にハロゲン系元素と反応して副生成物を生成してしまう第1の部材を有し、

前記(b)工程において前記付着物を除去した後に同じ温度で、または前記(c)工程において前記成膜処理室内が前記第1の温度となる以前に、前記成膜処理室内の内壁および前記成膜処理室内に設けられた部材の表面に第2の薄膜を形成する工程を含むものである。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0012】

図1は、本実施の形態で用いるCVD成膜装置の一例を示す要部断面図である

。本実施の形態のCVD成膜装置は、CVD法（化学的成膜方法）により、たとえば枚葉処理でウエハ（半導体基板）Wに対して成膜処理を施すものであり、Al（アルミニウム）などからなる気密構造の炉体（成膜処理室）FNCを有し、炉体FNC内には、成膜処理が施されるウエハWおよび炉体FNC内雰囲気を所定の温度で加熱するヒーター（第1の部材）HTが支持部材HDによって支持された状態で配置されている。ヒーターHTは、Al系セラミックなどからなり、炉体FNC内でウエハWを水平に支持するサセプタとしての機能も有する。また、炉体FNCには排気機構EXHが設けられ、成膜処理中にはこの排気機構EXHを動作させることによって炉体FNC内を所定の真空度まで減圧することを可能としている。

【0013】

炉体FNCの天壁に配置されたシャワーヘッドSHDからは、ヒーターHT上に載置されたウエハWに向かって成膜ガスが供給される。その成膜ガスは、ヒーターHTからの加熱によってウエハWの表面で化学反応を起こし、その化学反応に伴う成膜ガスの解離または化合によってウエハW上に薄膜が堆積されていく。

【0014】

本実施の形態において、図1に示したCVD成膜装置によって成膜される薄膜（第1の薄膜）は、炉体FNC内の温度が約600℃以上の高温（第1の温度）雰囲気下で成膜する薄膜であり、エピタキシャルSi（シリコン）膜、非晶質（アモルファス）Si膜、多結晶Si膜、窒化Si膜および酸化Si膜などを例示することができるが、以降は、その薄膜として窒化Si膜を例にとって説明を進める。

【0015】

上記の本実施の形態のCVD成膜装置を用いてウエハWに対して窒化Si膜の成膜処理を施した後においては、ウエハW上のみばかりでなく炉体FNCの内壁およびヒーターHTなどの炉体FNCの内部の部材の表面にも窒化Si膜は成膜されてしまう。この炉体FNCの内壁およびヒーターHTなどの炉体FNCの内部の部材の表面に成膜されてしまった窒化Si膜は、たとえば他のウエハWに対して成膜処理を施している時に剥離し、そのウエハWに異物として付着してしま

う虞がある。また、窒化S i膜のような薄膜が炉体FNCの内壁およびヒーターHTなどの炉体FNCの内部の部材の表面に成膜されてしまうと、CVD成膜装置の成膜能力が低下してしまう虞もある。そのため、所定枚数（たとえば100枚程度）のウエハWに対して窒化S i膜の成膜処理を施した後は、炉体FNCの内壁および炉体FNCの内部の部材の表面に付着した窒化S i膜（付着物）を除去するために、たとえばハロゲン系ガスを用いたガスクリーニングを行う。さらに、所定枚数（たとえば10000枚程度）のウエハWに対して窒化S i膜の成膜処理を施した後は、炉体FNC内全体のクリーニング（以降、炉体全掃と記す）を行う。ここでは、そのハロゲン系ガスを用いたガスクリーニングから、ウエハWに対しての窒化S i膜の成膜処理を再開するまでの工程について図2を用いて説明する。

【0016】

図2は、炉体FNC内部をガスクリーニングするために炉体FNC内の温度を下げ、ガスクリーニングを実施し、再び炉体FNC内の温度を成膜処理を実施する温度まで昇温し、成膜処理を再開するまでの炉体FNC内の温度変化を示したものである。本実施の形態では、炉体FNC内の温度はヒーターHTの温度によって変化し決定されるので、図2においては、ヒーターHTの温度を炉体FNC内の温度として示している。また、以降は、ヒーターHTの温度を炉体FNC内の温度として説明を続ける。

【0017】

図2に示すように、本実施の形態では、時間T1をかけてヒーターHTの温度を窒化S i膜の成膜処理実施温度である約800℃から約500℃以下（第2の温度）、好ましくは約400℃（第2の温度）へ低下させる。続いて、ヒーターHTの温度を、たとえば約400℃とした状況下で、時間T2をかけて炉体FNC内部のガスクリーニングを行う。次いで、時間T3をかけてヒーターHTの温度を約400℃から窒化S i膜の成膜処理実施温度である約800℃へ上昇させる。

【0018】

上記のガスクリーニングは、炉体FNC内にて、たとえばC1F3、CF4、C

F₃またはNF₃といったハロゲン系ガス（組成にCl（塩素）、F（フッ素）またはその両方を含むガス）と、Ar（アルゴン）ガスとを含むガスのプラズマを生成し、このプラズマにより炉体FNCの内壁および炉体FNCの内部の部材の表面に付着した薄膜をエッチングすることによって、その薄膜を除去するものである。この時、ヒーターHTの温度が約500℃以上の状況下でガスクリーニングを行うと、上記ハロゲン系ガスの解離によって生成されたハロゲン系元素のラジカルまたはイオンが活性化して、たとえばヒーターHT（第1の部材）を形成するAl系セラミックと反応し、副生成物が生成されてしまう。この反応は、ハロゲン系ガスとしてNF₃ガスを用いた場合には、 $AlN + F^* \rightarrow AlF_3 + N_2$ 、または $AlN + F^- \rightarrow AlF_3 + N_2$ といった化学反応式で表され、化学反応式中のAlF₃がその副生成物である。なお、この化学反応式中にて、F*はFのラジカルを表すものである。このような副生成物が炉体FNCの内壁および炉体FNC内部の部材に付着してしまうと、たとえばヒーターHTの温度低下といったCVD成膜装置の故障、ウエハW面内において成膜された窒化Si膜の膜厚のばらつきの発生、およびその副生成物が異物となって炉体FNC内に飛散しウエハWに付着することによる窒化Si膜の膜質の低下といった不具合の発生が懸念される。また、ハロゲン系元素のラジカルまたはイオンは、活性化すると炉体FNCの内壁（第1の部材）および炉体FNC内部の他の部材（第1の部材）とも反応し、炉体FNCおよび炉体FNC内部の他の部材を損傷してしまうことも懸念される。そのため、本実施の形態においては、このガスクリーニング時にヒーターHTの温度を約500℃以下まで下げているのである。

【0019】

また、上記ハロゲン系元素のラジカルまたはイオンの一部は、上記ガスクリーニング後においても炉体FNC内に残留し、炉体FNC内に不活性ガス（たとえばN₂（窒素）ガス）を流入することによる除去を図っても完全には除去できないことを本発明者らは見出した。そのため、ガスクリーニング終了後の炉体FNC内温度を昇温させる際にそのラジカルまたはイオンが活性化し、ヒーターHTを形成するAl系セラミックと反応して副生成物が生成されてしまったり、炉体FNCの内壁および炉体FNC内部の他の部材と反応して炉体FNCおよび炉体

FNC内部の他の部材を損傷してしまうことが懸念される。そこで、本実施の形態では、上記時間T3の間に、炉体FNC内に成膜ガスを導入し、炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜（第2の薄膜）CT（図1参照）を形成することによって、炉体FNCの内壁および炉体FNC内部の部材の表面をその薄膜CTで覆う。それにより、炉体FNCの内壁および炉体FNC内部の部材がハロゲン系元素のラジカルまたはイオンと反応してしまうことを防ぐことができる。この時、その薄膜CTを形成するのは、ハロゲン系元素のラジカルまたはイオンの活性化が可能な限り進まないようにヒーターHTの温度ができるだけ低い時点が好ましく、本実施の形態では、約600℃以下（第3の温度）とすることを例示できる。すなわち、図2に示すように、ヒーターHTの温度の上昇を開始し、約540℃となったら時間T31の間ヒーターHTの温度を約540℃で維持しつつ炉体FNC内にSiH₄ガスを導入する。それにより、炉体FNCの内壁および炉体FNC内部の部材（ヒーターHTを含む）の表面に非晶質（アモルファス）Si膜を形成するものである。その非晶質Si膜の形成後、再びヒーターHTの温度を上昇させ、約600℃となったら時間T32の間ヒーターHTの温度を約600℃で維持し、炉体FNC内に再びSiH₄ガスを導入することによって、前記非晶質Si膜の表面にさらに非晶質Si膜を積層してもよい。このように、複数層の非晶質Si膜を炉体FNCの内壁および炉体FNC内部の部材の表面に形成することによって、1層のみの非晶質Si膜とした場合に比べてさらに確実に炉体FNCの内壁および炉体FNC内部の部材の表面を非晶質Si膜で覆うことができるので、さらに効果的に炉体FNCの内壁および炉体FNC内部の部材がハロゲン系元素のラジカルまたはイオンと反応してしまうことを防ぐことができる。また、本実施の形態では、ヒーターHTの温度が約600℃以下の条件下で、炉体FNCの内壁および炉体FNC内部の部材の表面に非晶質Si膜を形成する場合について説明したが、約600℃以下の条件下で成膜できる薄膜であれば非晶質Si膜以外の薄膜を形成してもよい。

【0020】

上記非晶質Si膜の形成後、ヒーターHTの温度の上昇を再開して約600℃から約700℃へ昇温し、次いで、時間T33の間ヒーターHTの温度を約70

0℃で維持し、炉体FNC内に再びSiH₄ガスを導入することによって、前記非晶質Si膜の表面にさらに多結晶Si膜を積層してもよい。この時、ヒーターHTからの加熱により、その多結晶Si膜の下層の非晶質Si膜は、多結晶シリコン膜へと変化する。その後、ヒーターHTの温度の上昇を再開して、約700℃からウエハWに窒化Si膜の成膜処理を施す温度である約800℃に昇温し、次いで、時間T34の間ヒーターHTの温度を約800℃で維持し、炉体FNC内にSiH₄ガスおよびNH₃ガスを導入することによって、前記多結晶Si膜の表面にさらに窒化Si膜を積層してもよい。このように、ヒーターHTの温度の上昇に合わせて、その温度下で成膜できる種類の薄膜を順次炉体FNCの内壁および炉体FNC内部の部材の表面に成膜していくことにより、炉体FNCの内壁および炉体FNC内部の部材の表面をさらに確実に薄膜CTで覆うことができる。それにより、炉体FNCの内壁および炉体FNC内部の部材がハロゲン系元素のラジカルまたはイオンと反応してしまうことを確実に防ぐことが可能となる。また、炉体FNCの内壁および炉体FNC内部の部材の表面を複数層の薄膜CTで覆う場合には、それら複数層の薄膜CTのうち最上層となる薄膜がウエハWに対して成膜される薄膜（窒化Si膜）となることが好ましい。また、炉体FNCの内壁および炉体FNC内部の部材の表面を単層の薄膜CTで覆う場合には、ヒーターHTの温度が約600℃以下の条件下でその薄膜が形成できるならば、ウエハWに対して成膜される薄膜（窒化Si膜）と同種の薄膜であることが好ましい。

【0021】

また、炉体FNC内において上記副生成物が生成されてしまうことを防ぐことができるので、本実施の形態のCVD成膜装置においては、たとえばその副生成物がヒーターHTに付着してしまうことによってヒーターHTの温度が低下してしまうようなCVD成膜装置の不具合を防ぐことができる。それにより、本実施の形態のCVD成膜装置の安定した稼動を確保することができる。また、炉体FNC内において上記副生成物が生成されてしまうことを防ぐことができるので、炉体FNC内の汚染を防ぐことができる。それにより、炉体FNCにおいては、炉体全掃の頻度を低減することが可能となる。これらのことから、CVD成膜装

置の不具合発生によるCVD成膜装置の稼動停止時間および炉体FNCの炉体全掃によるCVD成膜装置の稼動停止時間を低減することが可能となる。さらに、炉体FNC内の汚染を防ぐことができるので、ウエハWへの窒化Si膜の成膜処理中に炉体FNC内に異物が発生して窒化Si膜の膜質が低下してしまう不具合を防ぐことができる。それにより、ウエハWから製造される半導体装置の品質の低下を防ぐことが可能となる。

【0022】

ここで、図3および図4は、それぞれ上記時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に上記薄膜CTを成膜していない場合と成膜している場合とについて、CVD成膜装置が窒化Si膜の成膜処理を施したウエハWの累積枚数と、それらウエハWに成膜された窒化Si膜の膜厚の平均値（相対値）との関係について、本発明者らが行った実験により求めた結果を示したものである。

【0023】

図3に示すように、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に上記薄膜CTを成膜していない場合には、窒化Si膜の成膜処理が施されたウエハWの累積枚数の増加に伴って、成膜された窒化Si膜の平均膜厚が低下してくる。すなわち、CVD成膜装置のウエハWの処理枚数が増加するに従って、所定の膜厚の窒化Si膜が成膜できなくなってくる。一方、図4に示すように、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に上記薄膜CTを成膜している場合には、窒化Si膜の成膜処理が施されたウエハWの累積枚数が増加しても、成膜された窒化Si膜の平均膜厚はほぼ一定である。すなわち、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜が形成された本実施の形態のCVD成膜装置によれば、窒化Si膜の成膜処理を施したウエハWの累積枚数が増加しても、所定の膜厚の窒化Si膜を成膜することが可能となる。

【0024】

また、本発明者らは、実験により上記時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に上記薄膜CTを成膜していない場合と成膜している

場合とについて、CVD成膜装置が窒化Si膜の成膜処理を施したウェハWの累積枚数と、ウェハWの成膜面（主面（素子形成面））内における窒化Si膜の膜厚の均一性の変動量との関係について調べた。その結果、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜CTを成膜していない場合には、ウェハWの累積枚数が約2000枚となった時点でウェハWに成膜された窒化Si膜の膜厚の均一性は、ウェハWへの成膜処理が開始された時点に比べて約1.5%変動していた。それに対して、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜CTを成膜している場合には、ウェハWの累積枚数が約2000枚となった時点でウェハWに成膜された窒化Si膜の膜厚の均一性は、ウェハWへの成膜処理が開始された時点に比べてほとんど変わらない0%に近いものであった。ウェハWの累積枚数が増加しても、ウェハWの成膜面内における窒化Si膜の膜厚の均一性が変動しないということは、ウェハWの累積枚数が増加してもCVD成膜装置は一定の成膜処理条件下で窒化Si膜の成膜処理を続けることが可能ということになる。すなわち、本実施の形態のCVD成膜装置によれば、前述の炉体FNC内のガスクリーニングおよび炉体全掃の頻度を低減することができる。その結果、炉体FNCのガスクリーニングおよび炉体全掃によるCVD成膜装置の稼動停止時間を低減することが可能となる。また、ウェハWの径が大きくなるに従って、ウェハWの成膜面内における窒化Si膜の膜厚の均一性は低下していくので、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜CTを成膜していないCVD成膜装置を用いて窒化Si膜の成膜処理を行った場合には、ウェハWの径が大きくなるに従って、その窒化Si膜の膜厚の均一性の変動量も大きくなる。そのため、時間T3中に炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜CTを成膜した本実施の形態のCVD成膜装置を用い、たとえば約300mmの大きな径を有しているウェハWに対して窒化Si膜の成膜処理を実施することは、その窒化Si膜の膜厚の均一性の変動を抑制する点で特に有効である。

【0025】

上記の本実施の形態では、ヒーターHTの温度が約800℃の条件下でウェハWに窒化Si膜の成膜処理を施す場合を例にとって説明したが、炉体FNC内の

温度（ヒーターHTの温度）が約600℃以上の高温雰囲気下で成膜する窒化Si膜以外のエピタキシャルSi膜、非晶質Si膜、多結晶Si膜および酸化Si膜などの薄膜の場合においても、炉体FNC内のガスクリーニング後にヒーターHTの温度を約400℃から成膜処理実施温度（600℃～900℃程度）まで上昇させる際に窒化Si膜を成膜する場合と同様の不具合がCVD成膜装置に発生することが懸念される。そこで、そのような高温雰囲気下で窒化Si膜以外の薄膜を成膜する場合にも、窒化Si膜を成膜する場合と同様にヒーターHTの温度を約400℃から成膜処理実施温度まで上昇させる際に、ヒーターHTの温度ができるだけ低い時点、たとえば約600℃以下の時点で炉体FNCの内壁および炉体FNC内部の部材の表面に薄膜CTを形成し、炉体FNCの内壁および炉体FNC内部の部材の表面をその薄膜CTで覆う。また、ヒーターHTの温度がウエハWへの成膜処理を行う温度に達するまでに、ヒーターHTの温度の上昇に合わせて、その温度下で成膜できる種類の薄膜を順次炉体FNCの内壁および炉体FNC内部の部材の表面に形成していてもよい。それにより、高温雰囲気下で窒化Si膜以外の薄膜の成膜処理をウエハWに施す場合でも、ヒーターHTを形成するAl系セラミックがハロゲン系元素のラジカルまたはイオンと反応して副生成物が生成されてしまったり、炉体FNCの内壁および炉体FNC内部の他の部材と反応して炉体FNCおよび炉体FNC内部の他の部材を損傷してしまうことを防ぐことができる。また、炉体FNCの内壁および炉体FNC内部の部材の表面を複数層の薄膜CTで覆う場合には、ウエハWに対して窒化Si膜の成膜処理を施す場合と同様に、それら複数層の薄膜CTのうち最上層となる薄膜CTがウエハWに対して成膜される薄膜となることが好ましい。また、炉体FNCの内壁および炉体FNC内部の部材の表面を単層の薄膜CTで覆う場合には、ヒーターHTの温度が約600℃以下の条件下でその薄膜が形成できるならば、ウエハWに対して成膜される薄膜と同種の薄膜であることが好ましい。

【0026】

次に、本実施の形態の半導体装置の製造工程について図5～図17を用いて説明する。本実施の形態の半導体装置の製造工程の説明に用いる図面のうち、平面図は、その製造工程を説明するための要部拡大平面図の一例である。また、断面

図は、その製造工程を説明するための要部拡大断面図の一例もしくは対応する工程を説明する平面図中のA-A線の断面を示したものである。また、本実施の形態の半導体装置の製造工程の説明に用いる図面においては、部材の構成をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0027】

本実施の形態の半導体装置は、たとえばCMIS (Complementary MIS) トランジスタを有するものである。まず、図5に示すように、たとえば比抵抗が $10\ \Omega\text{cm}$ 程度の単結晶Siからなる半導体基板1 (ウエハW) を 850°C 程度で熱処理して、その主面 (素子形成面) に膜厚 10nm 程度の薄い酸化Si膜 (パッド酸化膜 (図示は省略)) を形成する。続いて、この酸化Si膜の上に膜厚 120nm 程度の窒化Si膜2をCVD (Chemical Vapor Deposition) 法で堆積する。この窒化Si膜2は、前述の本実施の形態のCVD成膜装置を用いて堆積することにより、良質な膜質かつ良好に制御された膜厚で堆積することができる。

【0028】

次に、図6に示すように、フォトリソist膜をマスクにしたドライエッチングで素子分離領域の窒化Si膜2と酸化Si膜とを除去する。この酸化Si膜は、後の工程で素子分離溝の内部に埋め込まれる酸化Si膜をデンシファイ (焼き締め) する時などに基板に加わるストレスを緩和する目的で形成される。また、窒化Si膜2は酸化されにくい性質を持つので、その下部 (活性領域) の基板表面の酸化を防止するマスクとして利用される。続いて、窒化Si膜2をマスクにしたドライエッチングで素子分離領域の半導体基板1に深さ 350nm 程度の溝を形成した後、エッチングでその溝の内壁に生じたダメージ層を除去するために、半導体基板1を 1000°C 程度で熱処理して溝の内壁に膜厚 10nm 程度の薄い酸化Si膜 (図示は省略) を形成する。次いで、たとえば絶縁膜としてCVD法にて半導体基板1上に酸化Si膜3を堆積し、その溝を酸化Si膜3で埋め込む。この酸化Si膜3は、前述の本実施の形態のCVD成膜装置を用いて堆積することにより、良質な膜質かつ良好に制御された膜厚で堆積することができる。次いで、この酸化Si膜3の膜質を改善するために、半導体基板1を熱処理して酸化Si膜3をデンシファイ (焼き締め) する。

【0029】

次に、図7および図8に示すように、窒化Si膜2をストッパに用いたCMP (Chemical Mechanical Polishing) 法でその酸化Si膜3を研磨して溝の内部に残すことにより、表面が平坦化された素子分離領域を形成する。

【0030】

次いで、半導体基板1にp型の導電性を有する不純物（たとえばB（ホウ素））およびn型の導電性を有する不純物（たとえばP（リン））をイオン打ち込みした後、半導体基板1に約1000℃の熱処理を施すことにより上記不純物を拡散させることによって、p型ウェル4およびn型ウェル5を形成する。半導体基板1には、p型ウェル4およびn型ウェル5の主表面である活性領域An、Apが形成され、これらの活性領域は酸化Si膜3が埋め込まれた素子分離領域によって囲まれている。また、これら活性領域An、Apおよび素子分離領域は、図7に示すX、Y方向に沿って配置される。

【0031】

次に、たとえばフッ酸系の洗浄液を用いて半導体基板1（p型ウェル4およびn型ウェル5）の主面をウェット洗浄した後、約800℃の熱酸化によりp型ウェル4およびn型ウェル5のそれぞれの表面に膜厚6nm程度の清浄な酸化膜からなるゲート絶縁膜6を形成する。この時、このゲート絶縁膜6を酸窒化シリコン膜（SiON膜）によって形成しても良い。これにより、ゲート絶縁膜6中における界面準位の発生を抑制することができ、また、同時にゲート絶縁膜6中の電子トラップも低減することができるので、ホットキャリア耐性を向上させることが可能となる。これにより、pチャネル型MISFETおよびnチャネル型MISFETの動作信頼性を向上させることが可能となる。

【0032】

続いて、たとえばCVD法にて、ゲート絶縁膜6の上部に導電体膜として膜厚100nm程度の低抵抗な多結晶Si膜7を堆積する。この多結晶Si膜7は、前述の本実施の形態のCVD成膜装置を用いて堆積することにより、良質な膜質かつ良好に制御された膜厚で堆積することができる。

【0033】

次に、図9に示すように、フォトリソグラフ膜をマスクにしたドライエッチングによりその多結晶Si膜7をパターンニングし、ゲート電極7Gを形成する。このゲート電極7Gは、たとえばn型の低抵抗多結晶Si膜上に、窒化チタン(TiN)や窒化タングステン(WN)等のようなバリア金属膜を介してタングステン(W)等のような金属膜を下層から順に堆積することで形成する、いわゆるポリメタル構造としてもよい。このバリア金属膜は、低抵抗多結晶Si膜上にタングステン膜を直接積み重ねた場合に、その接触部に製造プロセス中の熱処理によりシリサイドが形成されてしまうのを防止する等の機能を有している。ポリメタル構造とすることによりゲート電極7Gの抵抗を低減させることができ、ゲートアレイの動作速度を向上させることができる。また、ゲート電極7Gを低抵抗多結晶Si膜上にタングステンシリサイド等のようなシリサイド膜を堆積させてなる、いわゆるポリサイド構造としても良い。ゲート電極7Gの長手方向両端部(活性領域An、Apの外周の分離領域と重なる位置)には幅広部が形成されており、ここに上層配線との接続孔が配置される。ゲート電極7Gは、互いに等しい寸法で同一のフォトリソグラフィ技術およびドライエッチング技術によるパターンニング工程で形成されているものであり、特に限定されるものではないが、そのゲート長は、たとえば0.13 μ m程度である。

【0034】

次に、たとえば半導体基板1上に窒化Si膜8を堆積する。この窒化Si膜8は、前述の本実施の形態のCVD成膜装置を用いて堆積することにより、良質な膜質かつ良好に制御された膜厚で堆積することができる。続いて、図10および図11に示すように、その窒化Si膜8を異方的にエッチングすることにより、サイドウォールスペーサ8Aを形成する。続いて、p型ウェル4にn型の導電型を有する不純物(たとえばPまたはAs(ヒ素))をイオン注入することによりn型半導体領域(ソース、ドレイン)9Nを形成し、n型ウェル5にp型の導電型を有する不純物(たとえばB)をイオン注入することによりp型半導体領域(ソース、ドレイン)9Pを形成する。ここまでの工程により、本実施の形態1のCMISゲートアレイを形成する基本セルKCと、その基本セルKCを形成するpチャネル型MISFETQpおよびnチャネル型MISFETQnとを形成す

ることができる。ただし、基本セルKCの構成は前記したものに限定されるものではなく種々変更可能である。たとえば1個の基本セルKC内に相対的にゲート幅の小さいMISFETと相対的にゲート幅の大きいMISFETとを配置する等、1個の基本セルKC内にゲート電極寸法の異なるMISFETを配置しても良い。これにより、たとえば駆動電流の大きなMISFET（ゲート幅が相対的に大きなMISFET）で構成される論理回路の入力に駆動電流の小さなMISFET（ゲート幅が相対的に小さなMISFET）を接続したい場合に、それを短い配線経路で実現できる。

【0035】

上記p型半導体領域9Pのうち、互いに平行に隣接するゲート電極7G間の中央のp型半導体領域9Pは、2個のpチャネル型MISFETQ_pに共有の領域となっている。なお、ホットキャリアを抑制すべく、p型半導体領域9Pを、そのMISFETのチャネル側に配置された低不純物濃度領域と、それに電氣的に接続されチャネルから低不純物濃度領域分だけ離間した位置に、サイドウォールスペーサ8Aをマスクとして、n型の導電性を有する不純物（たとえばPまたはAs）をイオン注入することにより形成された高不純物濃度領域とで構成する、いわゆるLDD（Lightly Doped Drain）構造としても良い。また、ソース・ドレイン間のパンチスルーを抑制すべく、p型半導体領域9Pのチャネル側端部近傍において半導体基板1の主面から所定の深さ位置にp型半導体領域9Pとは導電性の異なる半導体領域を設けても良い。pチャネル型MISFETQ_pと同様に、nチャネル型MISFETQ_nについても、基本セルKCの中央のn型半導体領域9Nは、2個のnチャネル型MISFETQ_nに共有の領域となっている。なお、nチャネル型MISFETQ_nの場合もpチャネル型MISFETQ_pと同様に、LDD構造としても良いし、パンチスルーを抑制するためのp型の半導体領域を設ける構造としても良い。

【0036】

次に、図12に示すように、半導体基板1上にCVD法により酸化Si膜を堆積することによって層間絶縁膜11を形成する。この層間絶縁膜11となる酸化Si膜は、前述の本実施の形態のCVD成膜装置を用いて堆積することにより、

良質な膜質かつ良好に制御された膜厚で堆積することができる。続いて、その層間絶縁膜 11 の表面を CMP 法によって研磨し平坦化する。

【0037】

次に、図 13 および図 14 に示すように、たとえば図示しないフォトリジスト膜をマスクとして層間絶縁膜 11 をドライエッチングすることによって、n 型半導体領域（ソース、ドレイン）9N、p 型半導体領域（ソース、ドレイン）9P およびゲート電極 7G に達する接続孔 12 を形成する。接続孔 12 は、ゲート電極 7G の幅広部、p 型半導体領域 9P および n 型半導体領域 9N に重なるように配置されている。ここには基本セル KC に接続可能な全ての接続孔 12 を例示している。実際には製品毎に接続孔 12 の配置が異なる場合がある。各接続孔 12 の底部からは、ゲート電極 7G の幅広部、p 型半導体領域 9P または n 型半導体領域 9N の一部が露出されている。ゲートアレイでは、上記のように複数の基本セル KC のパターンが共通パターンとして半導体基板 1 に作り込まれている。そして、この複数の基本セル KC 間をホールパターン（接続孔 12 やビアホール）および配線によって接続することにより所望の論理回路を形成する。すなわち、ホールパターンと配線とのレイアウトの仕方によって種々の論理回路を形成することが可能になっている。

【0038】

次いで、層間絶縁膜 11 の上部に、たとえばスパッタリング法にて膜厚 10 nm 程度の Ti 膜および膜厚 100 nm 程度の TiN 膜を順次堆積する。この時、その Ti 膜および TiN 膜は接続孔 12 の内部にも堆積される。続いて、半導体基板 1 に約 500℃～700℃で約 1 分間の熱処理を施すことにより、Ti 膜と TiN 膜との積層膜からなるバリア導体膜 14 を形成する。

【0039】

次に、バリア導体膜 14 の上部に、たとえば CVD 法により接続孔 12 の内部を埋め込む W（タングステン）膜 15 を堆積する。続いて、バリア導体膜 14 および W 膜 15 に対して、層間絶縁膜 11 の表面が現れるまでエッチバックもしくは CMP 等の研磨を施すことにより、接続孔 12 の外部のバリア導体膜 14 および W 膜 15 を除去する。これにより、接続孔 12 内に、バリア導体膜 14 および

W膜15からなるプラグ16を形成することができる。

【0040】

次に、図15に示すように、層間絶縁膜11の上部にTi（チタン）膜18、Al合金膜19およびTiN膜20を、たとえばスパッタリング法により順次堆積する。ここで、Ti膜18とTiN膜20のいずれか一方、もしくは両方において、これらの膜をTi膜とTiN膜の積層膜で形成してもよい。続いて、フォトリソist膜（図示は省略）をマスクとしたドライエッチングによりそのTi膜18、Al合金膜19およびTiN膜20をパターンニングすることによって、p型半導体領域9Pと電氣的に接続する配線21を形成する。なお、図示は省略するが、n型半導体領域9Nにも同様の配線21が電氣的に接続している。

【0041】

続いて、たとえばCVD法により、層間絶縁膜11および配線21上に酸化Si膜を堆積することによって層間絶縁膜22を形成する。この層間絶縁膜22となる酸化Si膜は、前述の本実施の形態のCVD成膜装置を用いて堆積することにより、良質な膜質かつ良好に制御された膜厚で堆積することができる。

【0042】

次に、図16に示すように、フォトリソist膜（図示は省略）をマスクとして層間絶縁膜22をドライエッチングすることによって、配線21に達する接続孔23を形成する。続いて、接続孔23の内部を含む層間絶縁膜22の上部に、たとえばスパッタリング法にてTi膜およびTiN膜を順次堆積する。続いて、半導体基板1に熱処理を施すことにより、Ti膜とTiN膜との積層膜からなるバリア導体膜26を形成する。続いて、バリア導体膜26の上部に、たとえばCVD法により接続孔23の内部を埋め込むW膜28を堆積する。続いて、バリア導体膜26およびW膜28に対して、層間絶縁膜22の表面が現れるまでエッチバックもしくはCMP等の研磨を施すことにより、接続孔23の外部のバリア導体膜26およびW膜28を除去する。これにより、接続孔23内に、バリア導体膜26およびW膜28からなるプラグ30を形成することができる。

【0043】

次に、図17に示すように、層間絶縁膜22の上部にTi膜、Al合金膜およ

びTiN膜を、たとえばスパッタリング法により順次堆積する。続いて、フォトリソ膜（図示は省略）をマスクとしたドライエッチングによりそれらTi膜、Al合金膜およびTiN膜をパターニングすることによってプラグ30に接続する配線31を形成し、本実施の形態の半導体装置を製造する。

【0044】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0045】

たとえば、前記実施の形態では、枚葉処理でウエハに対して成膜処理を行うCVD成膜装置の炉体内におけるガスクリーニング後の副生成物の生成を防ぐ場合について説明したが、一度に複数枚のウエハに対して成膜処理を施すバッチ式のCVD成膜装置についても同様の工程を経ることによって炉体内におけるガスクリーニング後の副生成物の生成を防ぐことができる。

【0046】

また、前記実施の形態では、約600℃以上の高温雰囲気下で成膜される非晶質Si膜、多結晶Si膜、窒化Si膜および酸化Si膜を成膜するCVD成膜装置を例に取って説明したが、約600℃以上の高温雰囲気下で金属膜を成膜するCVD成膜装置についても同様の工程を経ることによって炉体内におけるガスクリーニング後の副生成物の生成を防ぐことができる。

【0047】

また、前記実施の形態では、CVD成膜装置の炉体内に配置されたヒーターがAl系セラミックから形成されている場合について例示したが、SiC（炭化シリコン）から形成されていてもよい。

【0048】

また、前記実施の形態では、約600℃以上の高温雰囲気下で成膜される非晶質Si膜、多結晶Si膜、窒化Si膜および酸化Si膜を半導体ウエハ上に成膜するCVD成膜装置に対して本発明を適用する場合について説明したが、たとえば液晶基板の製造工程において、ガラス基板上に窒化Si膜を成膜するCVD成

膜装置に対して適用してもよい。

【0049】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0050】

すなわち、成膜装置の炉体（成膜処理室）のガスクリーニング後において、炉体内にて副生成物が生成されてしまうことを防ぐことができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態である半導体装置の製造工程で用いる成膜装置を説明する要部断面図である。

【図2】

本発明の一実施の形態である半導体装置の製造工程で用いる成膜装置の炉体内をガスクリーニングし成膜処理を再開するまでの炉体内の温度変化を示す説明図である。

【図3】

本発明の一実施の形態である半導体装置の製造工程で用いる成膜装置と比較した成膜装置によって成膜処理が施されたウエハの累積枚数と成膜された薄膜の膜厚の平均値との関係を示す説明図である。

【図4】

本発明の一実施の形態である半導体装置の製造工程で用いる成膜装置によって成膜処理が施されたウエハの累積枚数と成膜された薄膜の膜厚の平均値との関係を示す説明図である。

【図5】

本発明の一実施の形態である半導体装置の製造工程を説明する要部断面図である。

【図6】

図5に続く半導体装置の製造工程中の要部断面図である。

【図 7】

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図 8】

図 6 に続く半導体装置の製造工程中の要部断面図である。

【図 9】

図 8 に続く半導体装置の製造工程中の要部断面図である。

【図 10】

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図 11】

図 9 に続く半導体装置の製造工程中の要部断面図である。

【図 12】

図 11 に続く半導体装置の製造工程中の要部断面図である。

【図 13】

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図 14】

図 12 に続く半導体装置の製造工程中の要部断面図である。

【図 15】

図 14 に続く半導体装置の製造工程中の要部断面図である。

【図 16】

図 15 に続く半導体装置の製造工程中の要部断面図である。

【図 17】

図 16 に続く半導体装置の製造工程中の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 窒化 Si 膜
- 3 酸化 Si 膜
- 4 p 型ウェル
- 5 n 型ウェル
- 6 ゲート絶縁膜

- 7 多結晶 Si 膜
- 7 G ゲート電極
- 8 窒化 Si 膜
- 8 A サイドウォールスペーサ
- 9 N n 型半導体領域 (ソース、ドレイン)
- 9 P p 型半導体領域 (ソース、ドレイン)
- 1 1 層間絶縁膜
- 1 2 接続孔
- 1 4 バリア導体膜
- 1 5 W 膜
- 1 6 プラグ
- 1 8 Ti 膜
- 1 9 Al 合金膜
- 2 0 TiN 膜
- 2 1 配線
- 2 2 層間絶縁膜
- 2 3 接続孔
- 2 6 バリア導体膜
- 2 8 W 膜
- 3 0 プラグ
- 3 1 配線
- C T 薄膜 (第 2 の薄膜)
- E X H 排気機構
- F N C 炉体 (成膜処理室)
- H D 支持部材
- H T ヒーター (第 1 の部材)
- K C 基本セル
- Q n n チャネル型 MISFET
- Q p p チャネル型 MISFET

S H D シャワーヘッド

T 1 ~ T 3 時間

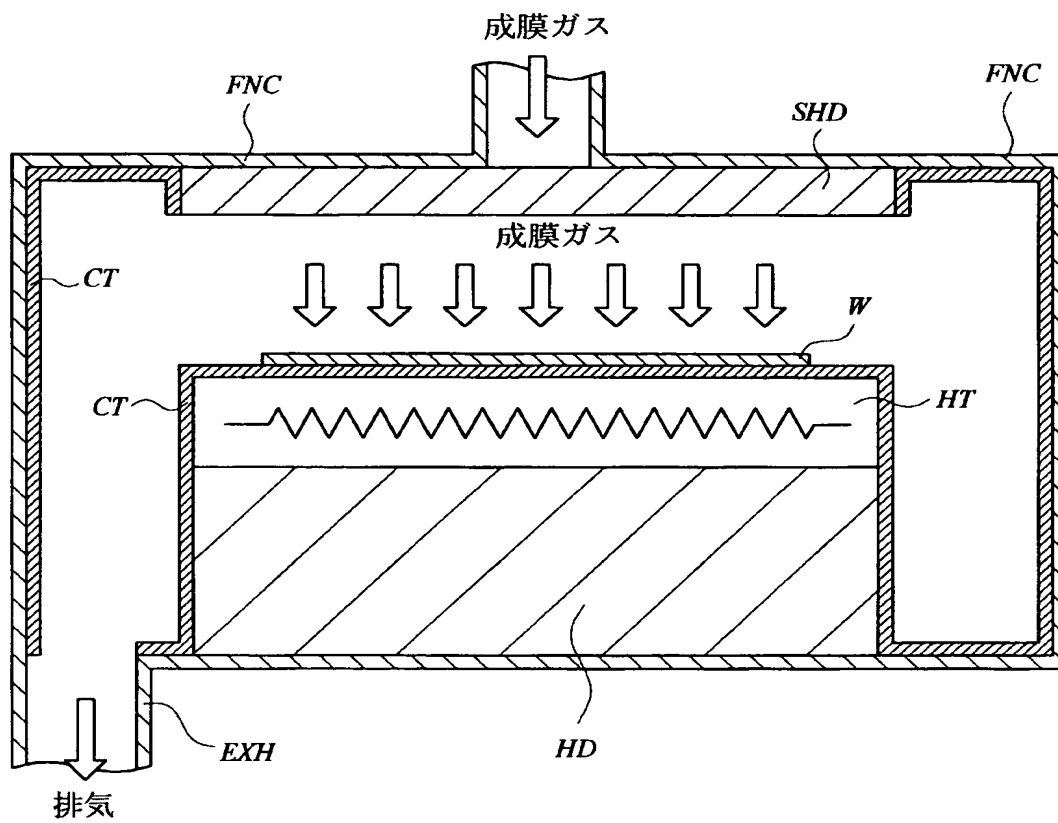
T 3 1 ~ T 3 4 時間

W ウエハ (半導体基板)

【書類名】 図面

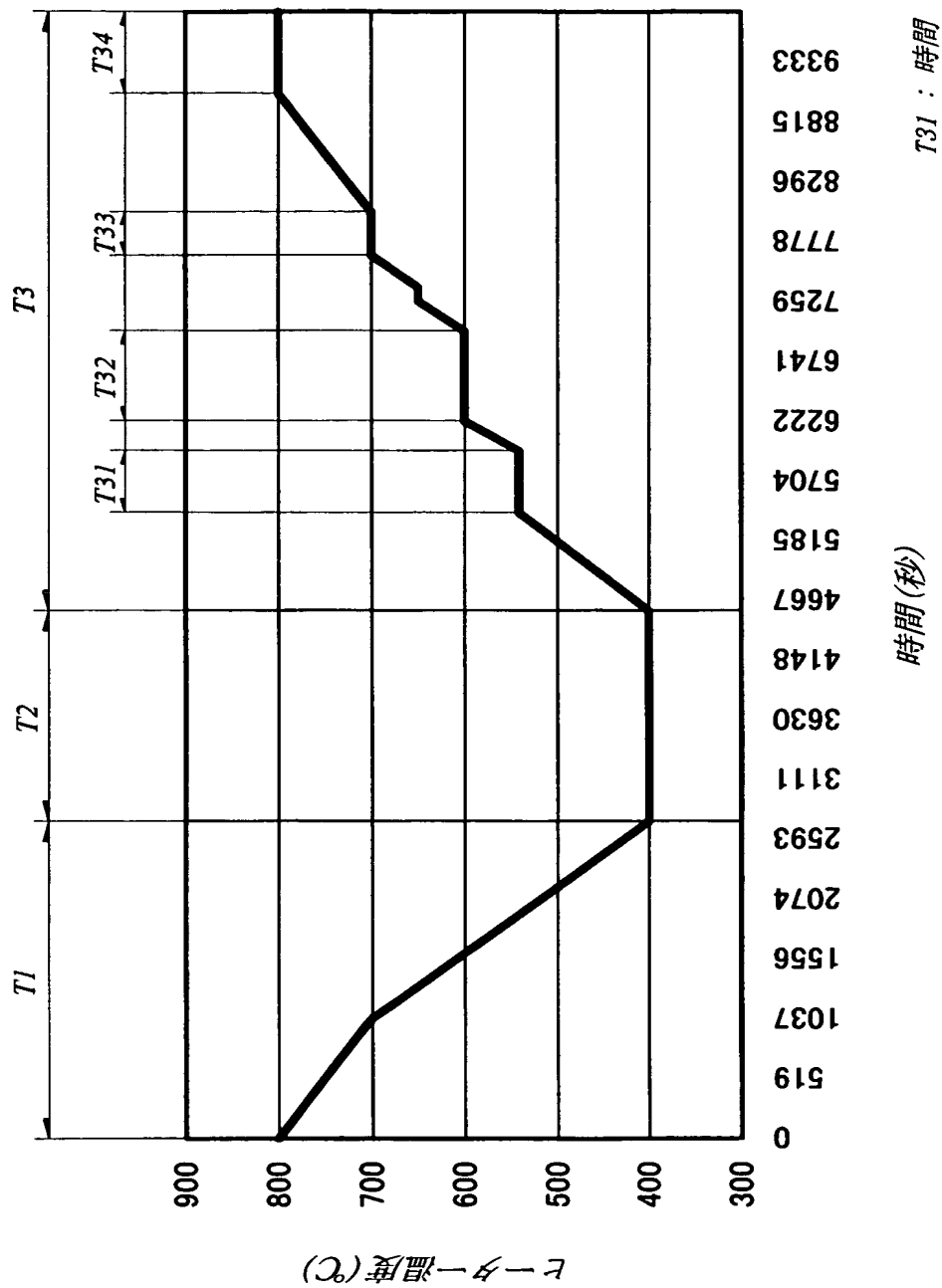
【図 1】

図 1



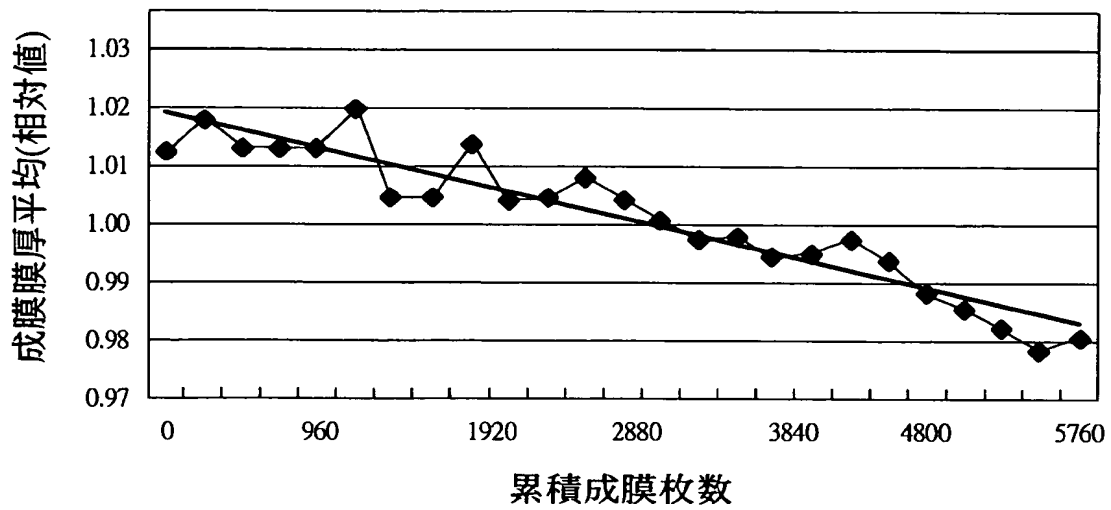
【図 2】

図 2



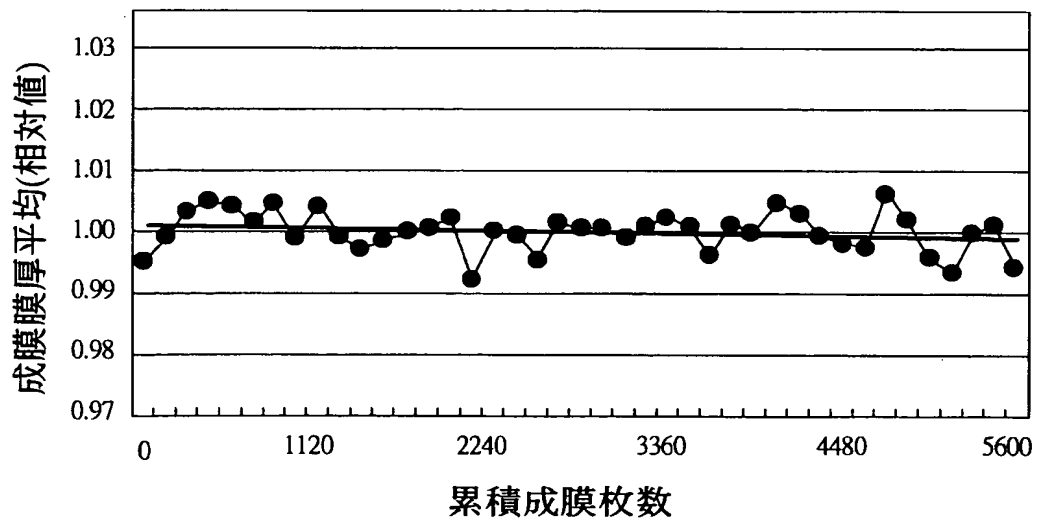
【図 3】

図 3



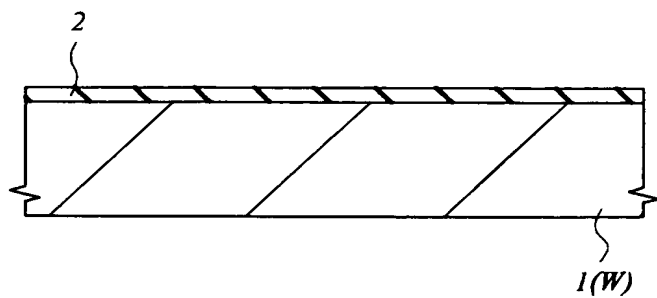
【図 4】

図 4



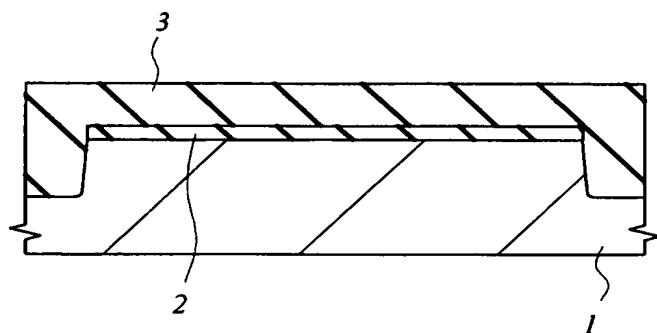
【図 5】

図 5



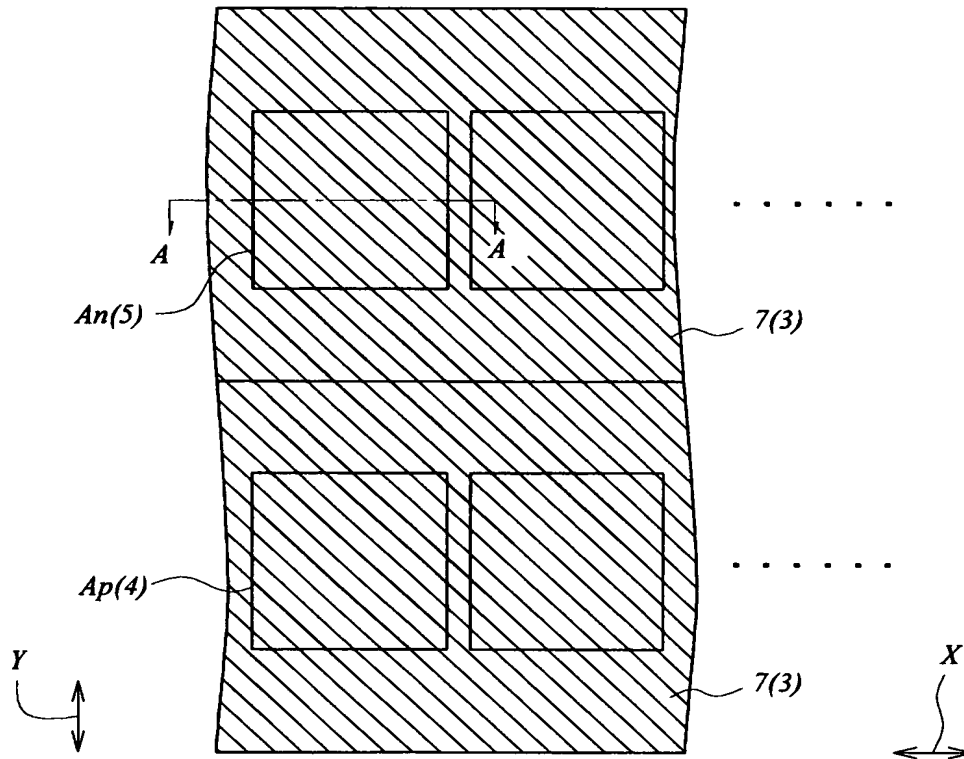
【図 6】

図 6



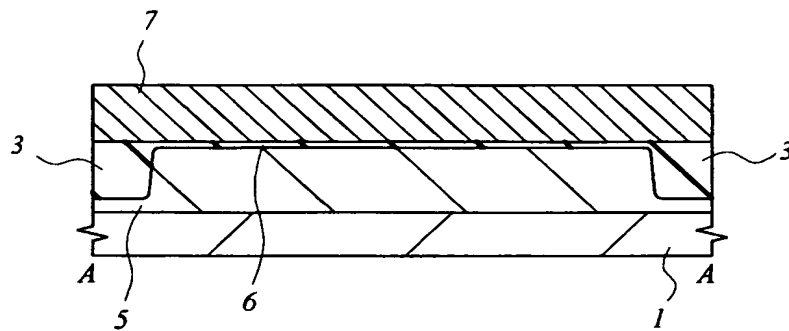
【図 7】

図 7



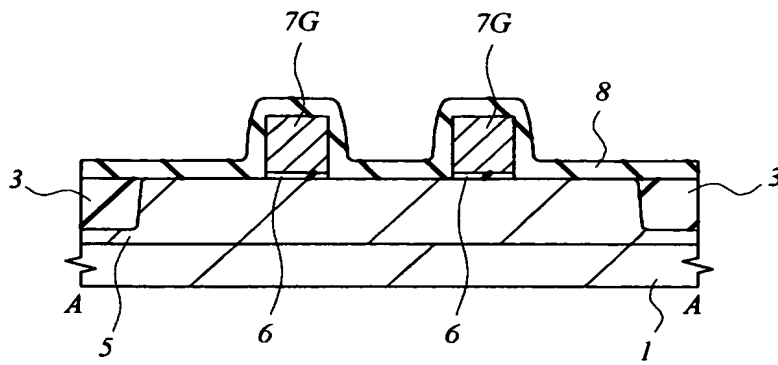
【図 8】

図 8

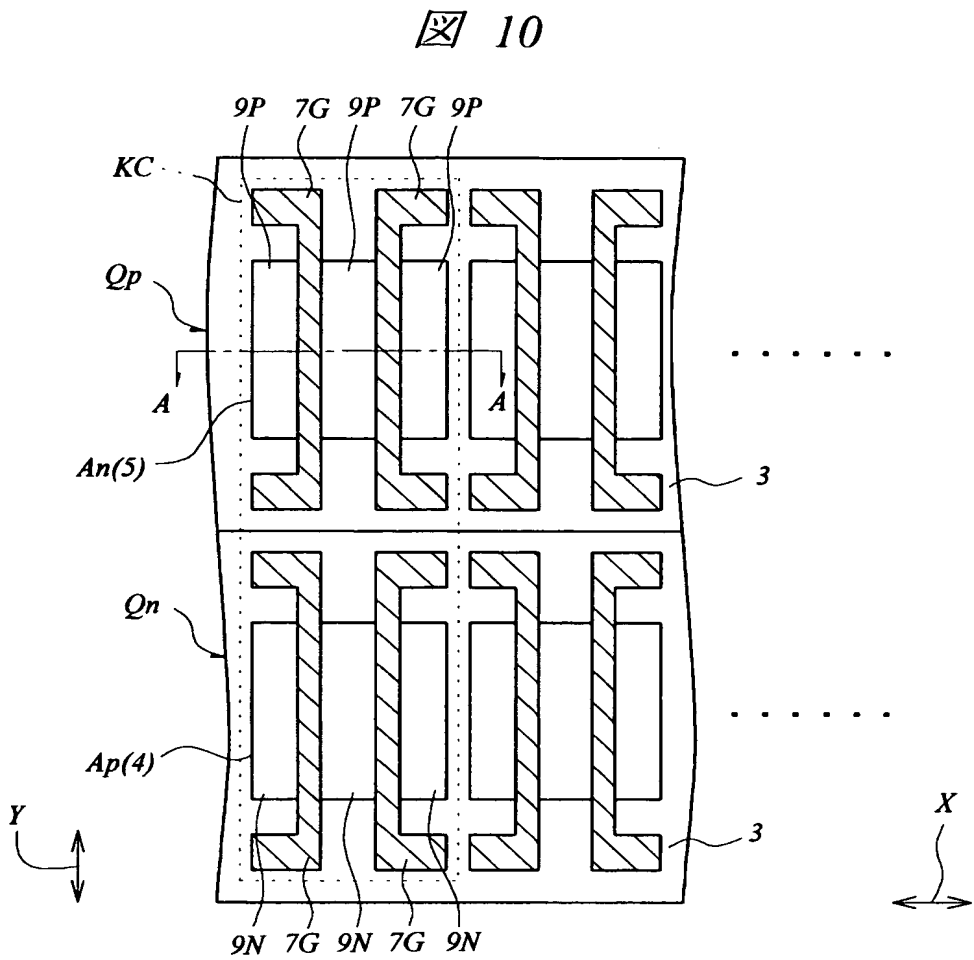


【図 9】

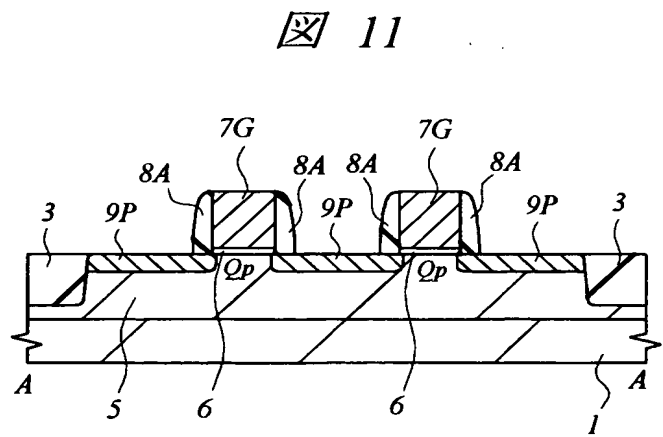
図 9



【図 10】

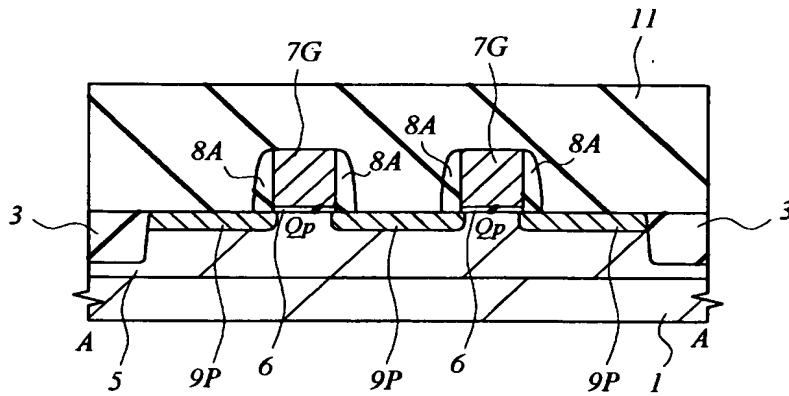


【図 11】

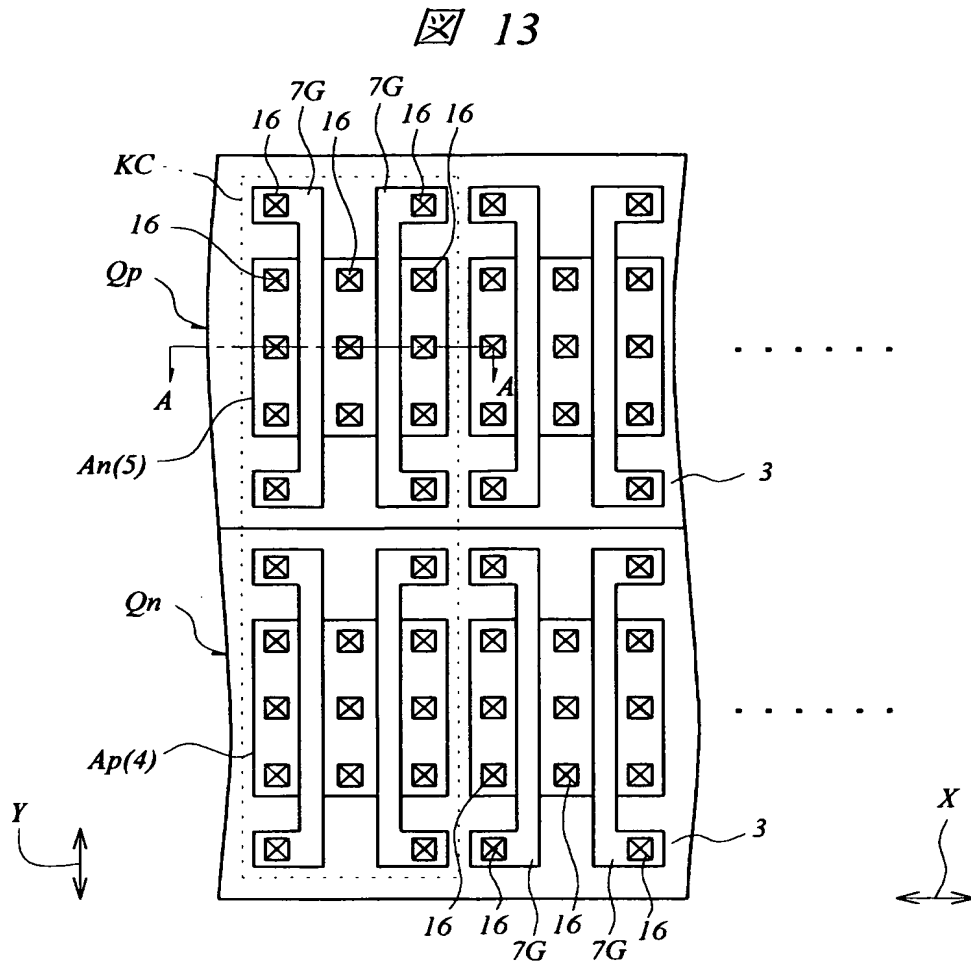


【図 12】

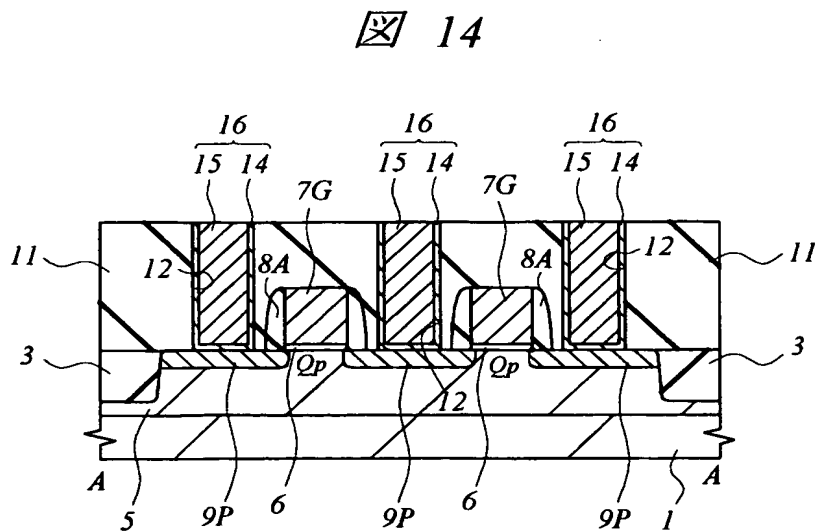
図 12



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 C V D 成膜装置の炉体内部のガスクリーニング後において、炉体内にて副生成物が生成されてしまうことを防ぐ。

【解決手段】 炉体内に配置されたヒーターの温度が約 5 0 0 ℃ 以下である雰囲気下で、ハロゲン系ガスと A r ガスとを含むガスのプラズマによって炉体内部のガスクリーニングを行った後、ヒーターの温度の上昇を開始し、ハロゲン系元素のラジカルまたはイオンが活性化する温度となる前の時間 T 3 1 の間、ヒーターの温度を維持しつつ炉体内に成膜ガスを導入し、炉体の内壁およびヒーターを含む炉体内部の部材の表面に薄膜を形成する。

【選択図】 図 2

特願 2 0 0 3 - 1 2 0 8 5 5

出 願 人 履 歴 情 報

識別番号 [5 0 0 4 9 5 2 5 6]

1. 変更年月日 2 0 0 0 年 1 0 月 2 5 日

[変更理由] 新規登録

住 所 茨城県ひたちなか市堀口 7 5 1 番地

氏 名 トレセンティテクノロジーズ株式会社